

AP20 Rec'd PCT/PTO 01 AUG 2006  
1

## 明 細 書

## 回路装置およびその製造方法

## 5 技術分野

本発明は回路装置およびその製造方法に関し、特に、厚みが異なる導電パターンを有する回路装置およびその製造方法に関するものである。

## 背景技術

- 10 第10図を参照して、従来の混成集積回路装置の構成を説明する(例えば、特開平6-177295号公報(第4頁、第1図)を参照)。第10図(A)は混成集積回路装置100の斜視図であり、第10図(B)は第10図(A)のX-X'線に於ける断面図である。

- 従来の混成集積回路装置100は次のような構成を有する。矩形の基板106と、基板106の表面に設けられた絶縁層107と、この絶縁層107上に形成された導電パターン108と、導電パターン108上に固着された回路素子104と、回路素子104と導電パターン108とを電氣的に接続する金属細線105と、導電パターン108と電氣的に接続されたリード101とで、混成集積回路装置100は構成されている。混成集積回路装置100は全体が封止樹脂102で封止されている。封止樹脂102で封止する方法としては、熱可塑性樹脂を用いたインジェクションモールドと、熱硬化性樹脂を用いたトランスファーモールドとがある。

- しかしながら、上述したような混成集積回路装置では、大電流用のパワー系の素子を実装した混成集積回路基板(以下基板という)と小信号系の素子を実装した基板では、導電パターンの膜厚を変えていた。例えばパワー系の素子が実装される基板では、導電パターンの厚みは例えば100 $\mu$ mであった。また、小信号系の素子が実装される基板では、導電パターンの厚みは3

5  $\mu\text{m}$ であった。従って、実装される素子に応じて、パターンの厚みが異なる基板を用意するとコストが上昇する問題があった。

更に、厚みが100  $\mu\text{m}$ 程度の厚い導電パターンを有する基板では、厚い導電パターンでは微細なパターンが形成できないことから、端子数が多いLSI (Large Scale Integration) を実装基板に実装できない問題があった。更にまた、厚みが35  $\mu\text{m}$ 程度の薄い導電パターンを有する基板に、パワー系の素子を実装すると、薄い導電パターンは断面積が小さいので十分な電流容量を確保できない問題があった。

本発明は、上記した問題を鑑みて成されたものである。本発明の主な目的は、電流容量を確保しつつ微細なパターンが形成可能な回路装置およびの製造方法を提供することにある。

#### 発明の開示

本発明の回路装置は、回路基板の表面に形成された導電パターンと、前記導電パターンと電氣的に接続された回路素子とを具備し、前記導電パターンは、第1の導電パターンと、前記第1の導電パターンよりも厚く形成された第2の導電パターンとから成り、前記第1の導電パターンと前記第2の導電パターンの表面は、実質同一レベルに配置され、前記第2の導電パターンの裏面には、前記第1の導電パターンの裏面よりも厚み方向に突出する凸部が設けられることを特徴とする。

本発明の回路装置は、回路基板の表面に形成された導電パターンと、前記導電パターンと電氣的に接続された回路素子とを具備し、前記導電パターンは、第1の導電パターンと、前記第1の導電パターンよりも厚く形成された第2の導電パターンとから成り、前記第1の導電パターンと前記第2の導電パターンの裏面は、実質同一レベルに配置され、前記第2の導電パターンの表面には、前記第1の導電パターンの表面よりも厚み方向に突出する凸部が設けられることを特徴とする。

本発明の回路装置は、回路基板の表面に形成された導電パターンと、前記導電パターンと電氣的に接続された回路素子とを具備し、前記導電パターンは、第1の導電パターンと、前記第1の導電パターンよりも厚く形成された第2の導電パターンとから成り、前記第2の導電パターンの表面および裏面  
5 には、厚み方向に突出する凸部が設けられることを特徴とする。

更に本発明の回路装置では、前記凸部の周囲には、第1の導電パターンと実質同じ膜厚の縁部が形成されることを特徴とする。

更に本発明の回路装置では、前記縁部の幅を、前記第1の導電パターンの厚みよりも広くすることを特徴とする。

10 更に本発明の回路装置では、前記凸部は、前記回路基板の表面に形成された絶縁層に埋め込まれることを特徴とする。

更に本発明の回路装置では、前記回路基板は、金属基板、セラミック基板、プリント基板またはフレキシブルシートであることを特徴とする。

更に本発明の回路装置では、前記第1の導電パターンには第1の回路素子が接続され、前記第2の導電パターンには、前記第1の回路素子よりも電流容量が大きい第2の回路素子が接続されることを特徴とする。  
15

本発明の回路装置の製造方法は、厚み方向に突出する凸部が表面に設けられた導電箔を用意し、回路基板の表面に設けた絶縁層に前記凸部が埋め込まれるように、前記導電箔を前記回路基板に密着させ、前記凸部が設けられていない領域の前記導電箔を部分的に除去することにより、第1の導電パターンと、前記凸部を含み前記第1の導電パターンよりも厚い第2の導電パターンを形成することを特徴とする。  
20

更に本発明の回路装置の製造方法は、厚み方向に突出する凸部が表面に設けられた導電箔を用意し、回路基板の表面に設けた絶縁層に前記導電箔の裏面を密着させ、前記凸部が設けられていない領域の前記導電箔を部分的に除去することにより、第1の導電パターンと、前記凸部を含み前記第1の導電パターンよりも厚い第2の導電パターンを形成することを特徴とする。  
25

更に本発明の回路装置の製造方法は、厚み方向に突出する凸部が表面および裏面に設けられた導電箔を用意し、回路基板の表面に設けた絶縁層に前記凸部が埋め込まれるように、前記導電箔を前記回路基板に密着させ、前記凸部が設けられていない領域の前記導電箔を部分的に除去することにより、第  
5 1の導電パターンと、前記凸部を含み前記第1の導電パターンよりも厚い第2の導電パターンを形成することを特徴とする。

更に本発明の回路装置の製造方法では、前記凸部の側面は曲面であることを特徴とする。

更に本発明の回路装置の製造方法では、前記凸部の周囲に、前記第1の導電パターンと同じ厚さの縁部が残存するように、前記導電箔をパターンニング  
10 することを特徴とする。

更に本発明の回路装置の製造方法では、前記縁部の幅を、前記第1導電パターンの厚さよりも広くすることを特徴とする。

更に本発明の回路装置の製造方法では、エッチング処理により、前記第1  
15 の導電パターンおよび前記第2の導電パターンを形成することを特徴とする。

#### 図面の簡単な説明

第1図(A)は、本発明の混成集積回路装置の斜視図であり、第1図(B)は、本発明の混成集積回路装置の断面図であり、第2図は、本発明の混成集積回路装置の斜視図であり、第3図(A)は、本発明の混成集積回路装置の断面図であり、第3図(B)は、本発明の混成集積回路装置の断面図であり、第3図(C)は、本発明の混成集積回路装置の断面図であり、第4図(A)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第4図  
20 (B)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第4図(C)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第4図(D)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第4図(E)は、本発明の混成集積回路装置の製造方法を説明  
25

する断面図であり、第4図(F)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第5図(A)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第5図(B)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第5図(C)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第5図(D)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第5図(E)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第6図(A)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第6図(B)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第6図(C)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第6図(D)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第6図(E)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第6図(F)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第7図(A)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第7図(B)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第7図(C)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第7図(D)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第7図(E)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第8図(A)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第8図(B)は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第9図は、本発明の混成集積回路装置の製造方法を説明する断面図であり、第10図(A)は、従来の混成集積回路装置の製造方法を説明する斜視図であり、第10図(B)は、従来の混成集積回路装置の製造方法を説明する断面図である。

第1図を参照して、本発明の混成集積回路装置10の構成を説明する。第1図(A)は混成集積回路装置10の斜視図であり、第1図(B)は第1図(A)のX-X'断面での断面図である。

本発明の混成集積回路装置10は、回路基板16の表面に形成された導電パターン18と、導電パターン18と電氣的に接続された回路素子14とを具備する。更に、導電パターン18は、第1の導電パターン18Aと、第1の導電パターン18Aよりも厚く形成された第2の導電パターン18Bとから成る。第1の導電パターン18Aよりも第2の導電パターン18Bは電流容量が大きい構成と成っている。このような各構成要素を以下にて説明する。

10 回路基板16は、金属またはセラミック等から成る基板が放熱の意味で好ましい。しかし、フレキシブルシートや樹脂から成るプリント基板等でも良く、少なくとも基板の表面が絶縁処理されたものであればよい。また回路基板16の材料としては、金属としてAl、CuまたはFe等を採用可能であり、セラミックとしては $Al_2O_3$ 、AlNを採用することができる。その他  
15 にも機械的強度や放熱性に優れるものを回路基板16の材料として採用することが出来る。一例として回路基板16としてAlより成る基板を採用した場合、回路基板16の表面は絶縁層17により被覆される。そして、絶縁層17の表面に導電パターン18が形成される。即ち、絶縁層17により回路基板16と導電パターン18とが絶縁される。また、Alから成る回路基板  
20 16の表面はアルマイト処理されている。

第1図(B)を参照して、回路基板16の表面に載置された回路素子14から発生する熱を好適に外部に逃がすために、回路基板16の裏面は封止樹脂12から外部に露出している。また装置全体の耐湿性を向上させるために、回路基板16の裏面も含めて封止樹脂12により全体を封止することもでき  
25 る。更には、ケース材により回路基板16の表面を封止しても良い。

回路素子14は導電パターン18上に固着され、回路素子14と導電パターン18とで所定の電気回路が構成されている。回路素子14としては、ト

ランジスタやダイオード等の能動素子や、コンデンサや抵抗等の受動素子が採用される。また、パワー系の半導体素子等の発熱量が大きいものは、金属より成るヒートシンクを介して回路基板16に固着されても良い。更に、樹脂封止型の回路装置を導電パターン18に実装することもできる。ここで、

5 フェイスアップで実装される能動素子等は、金属細線15を介して、導電パターン18と電氣的に接続される。

本形態では、回路素子14は、比較的小さな電流が流れる第1の回路素子14Aと、大電流が流れる第2の回路素子14Bとを含む。

具体例として、第1の回路素子14Aとしては、LSIチップ、コンデンサ、抵抗等を例にあげられる。裏面が接地電位等と電氣的に接続されるLSIチップは、ロウ材や導電性ペーストを介して、導電パターン18に接続される。また、裏面が電氣的に接続されないLSIチップは、絶縁性の接着剤を介して、導電パターン18に接続される。電流容量が小さい第1の回路素子14Aは、例えば数十 $\mu\text{m}$ 程度に薄く形成される第1の導電パターン18

10 Aに固着される。

第2の回路素子14Bは、例えば数百 $\mu\text{m}$ 程度に厚く形成される第2の導電パターン18Bに接続される。第2の回路素子14Bとしては、大きな電流を制御するパワー系のトランジスタ、例えばパワーMOS (Metal-Oxide Semiconductor)、IGBT (Insulated Gate Bipolar Transistor)、サイリスタ等を採用することができる。またパワー系のICも該当する。これらの第2の回路素子14Bは、チップもサイズが小さく薄型で高機能なため、大量に熱が発生する。

20

導電パターン18は銅等の金属から成り、基板16と絶縁して形成される。

25 また、リード11が導出する辺に、導電パターン18からなるパッドが形成される。リードは、片側導出で説明しているが、少なくとも一側辺から導出されていれば良い。更に、導電パターン18は、絶縁層17を接着剤として

回路基板 16 の表面に接着されている。導電パターン 18 は、第 1 の導電パターン 18 A と、この第 1 の導電パターン 18 A よりも厚く形成される第 2 の導電パターン 18 B とから成る。そして、第 1 の導電パターン 18 A の方が、第 2 の導電パターン 18 B よりも狭いパターンルールとなっている。

5 第 1 の導電パターン 18 A は、厚さが数十  $\mu\text{m}$  程度に薄く形成されるパターンである。第 1 の導電パターン 18 A の厚さとしては、例えば 9  $\mu\text{m}$  から 80  $\mu\text{m}$  程度の間で、選択される。量産レベルに適する第 1 の導電パターン 18 A の厚さは、例えば 30  $\mu\text{m}$  程度である。この厚さならば、ウェットエッチングによりパターン同士の間隔を 50  $\mu\text{m}$  程度まで接近させることが出来る。ここで、パターン同士の間隔とは、隣接するパターンの内側の端部から端部までの距離を指す。更に、この厚さであれば、パターンの幅も 50  $\mu\text{m}$  程度まで狭くすることができることから、微細なパターンを形成することが可能となる。具体的に、第 1 の導電パターン 18 A は、例えば数ミリアンペア程度の電気信号が通過するためのパターンとして用いられる。例えば、  
10 LSI 素子の制御信号が、第 1 の導電パターン 18 A を通過する。

第 2 の導電パターン 18 B は、上記第 1 の導電パターン 18 A よりも厚く形成されるパターンである。第 2 の導電パターン 18 B の厚さは、35  $\mu\text{m}$  から 500  $\mu\text{m}$  程度の間で、要求される電流容量に応じて選択することができる。第 2 の導電パターン 18 B の厚みを 100  $\mu\text{m}$  程度とした場合は、  
20 パターン同士の間隔およびその幅を 300  $\mu\text{m}$  程度にすることができる。このような第 2 の導電パターン 18 B の場合は、50 アンペア程度の電流を導通させることが可能となる。

絶縁層 17 は、回路基板 16 の表面全域に形成されて、導電パターン 18 の裏面と回路基板 16 の表面とを接着させる働きを有する。また、絶縁層 1  
25 7 は、アルミナなどの無機フィラーを樹脂に高充填させたものであり、熱伝導性に優れたものと成っている。導電パターン 18 の下端と回路基板 16 の表面との距離（絶縁層 17 の最小厚さ）は、耐圧によりその厚みが増加する



が、50  $\mu$ m程度以上が好ましい。

リード11は、回路基板16の周辺部に設けられたパッドに固着され、例えば外部との入力・出力を行う働きを有する。ここでは、一辺に多数個のリード11が設けられている。リード11とパッドとの接着は、半田（ロウ材）

5 等の導電性接着剤を介して行われている。

封止樹脂12は、熱硬化性樹脂を用いるトランスファーモールド、または、熱可塑性樹脂を用いるインジェクションモールドにより形成される。ここでは、回路基板16およびその表面に形成された電気回路を封止するように封止樹脂12が形成され、回路基板16の裏面は封止樹脂12から露出している。更にまた、モールドによる封止以外の封止方法も本形態の混成集積回路装置に適用可能であり、例えば、樹脂のポッティングによる封止、ケース材による封止、等の他の封止方法を適用させることが可能である。

第2図の斜視図を参照して、回路基板16の表面に形成される導電パターン18の具体的な形状の一例を説明する。このでは、全体を封止する樹脂を省いて図示している。

上述したように、本形態では、導電パターン18は、薄く形成される第1の導電パターン18Aと、厚く形成される第2の導電パターン18Bとに分けることができる。同図では、第1の導電パターン18Aを実線で示し、第2の導電パターン18Bをハッチングのパターンで示している。即ち、小信号が通過するパターンを第1の導電パターン18Aとして設計し、大信号が通過するパターンを第2の導電パターン18Bとして設計することが出来る。ここで、大信号としては、例えばスピーカやモーターの駆動を行う信号をあげることが出来る。また、小信号としては、例えばLSI素子である第1の回路素子14Aに入出力される信号や、スイッチング素子である第2の回路素子14Bの制御端子に入力される電気信号をあげることが出来る。

ここでは、LSI素子である第1の回路素子に接続するパターンは、第1の導電パターン18Aで構成されている。LSI素子の信号処理に用いられ

る電気信号は数ミリアンペア程度であるので、厚さが数十 $\mu\text{m}$ 程度の第1の導電パターン18Aで十分に電流容量が足りる。また、第1の導電パターン18Aが微細に形成されることから、端子数が多いLSI素子を第1の回路素子14Aとして採用することも可能である。

- 5 第2の導電パターン18Bは、パワートランジスタ等である第1の回路素子14Bの流入・流出電極に接続されている。即ち、第1の導電パターン18Aを介して入力された小信号に基づいて、第2の導電パターン18Bを流れる大電流のスイッチングが行わる。

第3図を参照して、第2の導電パターン18Bの詳細を説明する。第3図  
10 (A)から第3図(C)は、第2の導電パターン18Bの形状を示している。

第3図(A)を参照して、ここでは、部分的に凸部22が設けられることで、厚い第2の導電パターン18Bが形成されている。また、第2の導電パターン18Bの裏面に設けられて厚み方向に一体に突出する凸部22は、絶縁層17に埋め込まれている。更に、第1の導電パターン18Aの上面と、  
15 第2の導電パターン18Bの上面とは実質的に同一平面上に位置している。

ここで、第1の導電パターン18Aの厚さを $T_1$ とし、第2の導電パターン18Bの凸部22が絶縁層17に埋没する深さを $T_2$ とし、第2の導電パターン18Bの最下部と回路基板16の表面との距離を $T_3$ とする。 $T_1$ は、第1の導電パターン18Aを微細に形成するために、9 $\mu\text{m}$ から80 $\mu\text{m}$ 程度にすることが好ましい。 $T_2$ は、第2の導電パターン18Bの電流容量を確保するために35 $\mu\text{m}$ から500 $\mu\text{m}$ 程度が好ましい。即ち、第2の導電パターン18Bの厚さは、第1の導電パターン18Aに比較して、 $T_2$ だけ厚みが増すことになる。 $T_3$ は、耐圧性が考慮されて50 $\mu\text{m}$ から200 $\mu\text{m}$ 程度が好ましい。

25 第2の導電パターン18Bが部分的に絶縁層17に埋め込まれることによるメリットを説明する。まず、第2の導電パターン18Bの下面が回路基板16の表面に接近するので、第2の回路素子14Bから発生する熱を、第2

の導電パターン 18B および絶縁層 17 を介して外部に放出させることができる。本形態では、フィラーが高充填された絶縁層 17 を用いている。また、放熱性の向上のためには、耐圧性を確保出来る範囲で絶縁層 17 は薄い方がよい。従って、第 2 の導電パターン 18B を部分的に絶縁層 17 に埋め込む  
5 構成にすることで、第 2 の導電パターン 18B と回路基板 16 との距離を短くすることが出来る。このことが、装置全体の放熱性の向上に寄与する。

更に、第 2 の導電パターン 18B を絶縁層 17 に埋め込む構成にすることで、第 2 の導電パターン 18B の裏面と絶縁層 17 とが接触する面積を大きくすることができる。従って、放熱性を更に向上させることができる。凸部  
10 22 を立方体に例えれば、実質上面を除いた各面が絶縁層 17 と当接していることになる。よって放熱性の向上が図れることから、ヒートシンクを省いた構成を実現することも可能である。更にまた、第 2 の導電パターン 18B が部分的に絶縁層 17 に埋め込まれることで、両者の密着性を向上させることができる。従って、第 2 の導電パターン 18B の剥がれ強度を向上させる  
15 ことが出来る。

第 1 の導電パターン 18A は絶縁層 17 に埋め込まれないので、第 1 の導電パターン 18A の裏面と回路基板 16 との距離を長く確保することができる。このことから、第 1 の導電パターン 18A と回路基板 16 との間に発生する寄生容量を低減することが出来る。従って、高周波の電気信号を第 1 の  
20 導電パターン 18A に通過させた場合でも、寄生容量に起因した信号の遅延等が防止される。

縁部 18D は、第 2 のパターン 18B の周縁部に形成される部位であり、その厚さは第 1 の導電パターン 18A と同等である。縁部 18D は、導電パターン 18 の製造がエッチングにより行われることから、設けられる部位で  
25 ある。具体的には、導電パターン 18 をエッチングによりパターンニングする際に、凸部 22 がエッチングされるのを防止するために凸部 22 の周囲にマージンを設ける。このマージンの部分が縁部 18D となり、凸部 22 の周囲

に位置している。縁部 18 D の幅 T 4 は、第 1 の導電パターン 18 A の厚さ以上が好適である。一例としては、幅 T 4 は、100  $\mu$ m 程度以上が好適である。これは、導電パターン 18 のパターンニングを行うエッチングは、等方性で進行するためである。等方性で進行するエッチングが凸部 22 に到達するのを防止するためには、縁部 18 D の幅 T 4 を、第 1 の導電パターン 18 A の厚みよりも広くするのが好ましい。

第 3 図 (B) を参照して、第 2 の導電パターン 18 B を厚く形成する他の構成を説明する。ここでは、厚み部分が上方に突出した凸部 22 を有する第 2 の導電パターン 18 B が形成されている。従って、第 2 の導電パターン 18 B の断面積が大きくなり、大きな電流容量を確保することが出来る。更に、厚みが増すことで過渡熱抵抗を小さくすることが出来る。また、第 1 および第 2 の導電パターンの底面は同一平面上に位置する。

第 3 図 (C) を参照して、ここでは、第 2 の導電パターン 18 B の厚み部分が、上方向および下方向の両方に突出することで厚く形成されている。即ち、第 2 の導電パターン 18 B の表面および裏面に凸部 22 が形成されている。従って、第 2 の導電パターン 18 B の厚さを更に厚くすることが可能になり、電流容量の確保および過渡熱抵抗の低減の効果を更に大きくすることが出来る。また、複数回のエッチングにより第 2 の導電パターン 18 B を形成することとから、縁部 T 4 を小さくしてパターンを厚くすることが出来る。

第 4 図 (D)、第 5 図 (C)、第 6 図 (D) の様に薄いパターンと厚いパターンが一体で成っている場合、厚いパターンも薄い部分でパターンニングすれば、一度にパターンニングできるメリットを有する。

次に、第 4 図を参照して、上記した混成集積回路装置の製造方法を説明する。

まず、第 4 図を参照して、第 3 図 (A) に示した断面形状を有する導電パターン 18 の製造方法を説明する。

第 4 図 (A) を参照して、導電箔 20 を用意してその表面にレジスト 21

をパターンニングする。導電箔 20 の材料としては、銅を主材料とする金属、Fe と Ni との合金、または Al を主材料とする材料を採用することができる。導電箔 20 の厚さは、形成される導電パターン 18 の厚さにより異なる。第 2 の導電パターン 18 B の厚みが数百  $\mu\text{m}$  程度であれば、その厚み以上の導電箔 20 が採用される。レジスト 21 は、第 2 の導電パターン 18 B が形成される箇所を被覆している。

第 4 図 (B) を参照して、次に、レジスト 21 をエッチングマスクとしてウェットエッチングを行い、レジスト 21 が形成されない主面のエッチングを行う。このエッチングによりレジスト 21 により被覆されていない領域の導電箔 20 の表面はエッチングされ、窪み部 23 が形成される。ここで、第 1 の導電パターン 18 A が形成される領域を、微細なパターンニングが行えるように十分に薄く形成している。具体的には、導電箔 20 の厚みを 9  $\mu\text{m}$  から 80  $\mu\text{m}$  程度に薄くする。本工程により、レジスト 21 にて覆われた部分は、凸状に突出する凸部 22 と成る。本工程が終了した後にレジスト 21 は剥離される。

第 4 図 (C) および第 4 図 (D) を参照して、表面に絶縁層 17 が設けられた回路基板 16 と導電箔 20 とを密着させる。具体的には、凸部 22 を絶縁層 17 に埋め込むように導電箔 20 を回路基板 16 に密着される。この密着は真空プレスで行うと、導電箔 20 と絶縁層 17 との間の空気により発生するボイドを防止することが出来る。また、等方エッチングにより形成される凸部 22 の側面は、滑らかな曲面となっている。従って、導電箔 20 を絶縁層 17 に圧入する際に、この曲面に沿って樹脂が浸入し、未充填部が無くなる。このことから、このような凸部 22 の側面形状によっても、ボイドの発生を抑止することができる。更に、凸部 22 が絶縁層 17 に埋め込まれることで、導電箔 20 と絶縁層 17 との密着強度を向上させることが出来る。

更に、第 4 図 (C) の導電箔 20 の上面 (第 4 図 (B) では下面) は、フラットであるため、圧入治具である当接面と全面で当接でき、全面均一な力

で均等に加圧することができる。

第4図(E)を参照して、次に、回路基板16に接着された導電箔20の  
パターンニングを行う。具体的には、形成予定の第1および第2の導電パ  
ターンの形状に即したレジスト21を形成した後に、ウェットエッチングを行  
5 うことでパターンニングを行う。ここで、第2の導電パターン18Bに対応  
する領域の導電箔20を被覆するレジスト21は、凸部22よりも広く形成  
される。これは、次工程のエッチングにより凸部22が浸食されるのを防止  
するためである。更に、レジスト21を形成する際のマスクのズレを考慮す  
れば、上記構成により、エッチングによる導電パターン18の分離を確実に  
10 行うことができる。

本工程では、凸部22を除外した領域の導電箔20をパターンニングして部  
分的に除去することで、薄い第1の導電パターン18Aおよび厚い第2の導  
電パターン18Bを形成している。従って、厚さが例えば30 $\mu$ m程度に薄  
い部分の導電箔20をパターンニングすることにより、厚みが異なる導電パ  
15 ターン18を一括して形成することができる。

第4図(F)を参照して、レジスト21を介してエッチングを行った後の、  
第1の導電パターン18Aおよび第2の導電パターン18Bの断面を説明す  
る。窪み部23(第4図(B)参照)が形成された領域の導電箔20は、そ  
の厚みが数十 $\mu$ m程度と薄くなっている。従って、第1の導電パターン18  
20 Aは微細に形成することが出来る。ここでは、1回のエッチングにより、薄  
い第1の導電パターン18Aと厚い第2の導電パターン18Bを形成するこ  
とができる。

縁部18Dは、凸部22を平面的に囲むように形成される。換言すると、  
凸部22の上部を被覆するレジスト21を、凸部22よりも広めに形成され  
25 ることで、縁部18Dは形成される。このように、第2の導電パターン18  
Bをエッチングする際に、レジスト21を広めに形成することで、安定した  
エッチングを行うことが出来る。即ち、ウェットエッチングは等方性なので、

導電パターン 18 はサイドエッチングが進行し、パターンニングされた導電パターン 18 B の側面はテーパ形状に成っている。従って、このように広めにエッチングを行うことで、サイドエッチングにより第 2 の導電パターン 18 が浸食されてしまうことを防止することが出来る。

5       つまり、凸部 22 が浸食されてしまえば、第 2 の導電パターン 18 B の断面積が小さくなり、大きな電流容量を確保できなくなり、更に放熱性も低下してしまう。また、ある程度の誤差を含んでレジスト 21 は形成されるので、上記構成により、この誤差に起因した凸部 22 の浸食を防止することが出来る。

10       第 5 図を参照して、上記した混成集積回路装置の第 2 の製造方法を説明する。ここでは第 3 図 (B) に構成を示した第 2 の導電パターン 18 B を形成する製造方法を説明する。ここでの導電パターン 18 の形成方法は、第 4 図を参照して説明した形成方法と基本的には同一であるので、相違する箇所を中心に説明する。

15       第 5 図 (A) から第 5 図 (C) を参照して、先ず、回路基板 16 の表面に塗布された絶縁層 17 に導電箔 20 を密着させる。ここでは、導電箔 20 が厚い状態のままで圧着を行うので、圧着の工程における導電箔 20 の「皺」の発生を抑止することが出来る。そして、厚い第 2 の導電パターン 18 が形成される領域をレジスト 21 で被覆した後に、導電箔 20 の表面のエッチングを行う。このエッチングにより、薄い第 1 の導電パターン 18 A が形成される領域の導電箔 20 を十分に薄くする。このエッチングが終了した後に、  
20       レジスト 21 は剥離させる。

第 5 図 (D) を参照して、次に、新たなレジスト 21 を導電箔 20 の表面に塗布した後に、第 1 および第 2 の導電パターンが形成されるようにレジスト 21 のパターンニングを行う。ここでも、上述したような縁部 18 D が形成されるように、凸部 22 を覆うレジスト 21 は、凸部 22 よりも広めに被覆される。つまり凸部 22 の側面から薄い部分に延在されるように、レジス  
25

ト 2 1 が塗布されている。

第 5 図 (E) を参照して、次に、レジスト 2 1 を介してエッチングを行うことで、第 1 および第 2 の導電パターンを形成する。縁部 1 8 D が形成されているので、凸部 2 2 はエッチングされずに、安定したパターンニングを行うことが出来る。このエッチングが終了した後に、レジスト 2 1 は剥離される。

第 6 図を参照して、混成集積回路装置の第 3 の製造方法を説明する。ここでは第 3 図 (C) に構成を示した第 2 の導電パターン 1 8 B を形成する製造方法を説明する。ここでの導電パターン 1 8 の形成方法も、第 4 図を参照して説明した形成方法と基本的には同一であるので、相違する箇所を中心に説明する。

第 6 図 (A) および第 6 図 (B) を参照して、第 2 の導電パターン 1 8 B が形成される予定の導電箔 2 0 の表面にレジスト 2 1 を形成してエッチングを行う。このエッチングにより、凸部 2 2 が形成される。窪み部 2 3 が設けられる領域の導電箔 2 0 の厚さは、形成予定の第 1 の導電パターン 1 8 A よりも厚くなる。しかも圧入治具と面で当接しながら圧着が行われるので、圧着の工程における導電箔の「皺」の発生を抑止することが出来る。

第 6 図 (C) および第 6 図 (D) を参照して、次に、凸部 2 2 が形成された領域の表面をレジスト 2 1 で被覆する。そして、エッチングを行う。本工程でのエッチングの目的は、導電箔 2 0 の両面に凸部 2 2 を形成することと、窪み部 2 3 が設けられる領域の導電箔 2 0 を薄くすることにある。本工程が終了した後に、レジスト 2 1 は剥離される。

第 6 図 (E) および第 6 図 (F) を参照して、新たなレジスト 2 1 を導電箔 2 0 の表面に塗布した後に、第 1 および第 2 の導電パターンが形成されるようにレジスト 2 1 のパターンニングを行う。ここでも、凸部 2 2 を覆うレジスト 2 1 に付いては、凸部 2 2 をはみ出して被覆する。本工程では、導電箔 2 0 の両主面に凸部 2 2 を形成することで、第 2 の導電パターン 1 8 B を厚く形成している。



第7図を参照して、混成集積回路装置の第4の製造方法を説明する。ここでは第3図(C)に構成を示した第2の導電パターン18Bを形成する他の製造方法を説明する。

第7図(A)および第7図(B)を参照して、まず、第2の導電パターン18Bが形成される予定の領域に対応する導電箔20の表面および裏面にレジスト21を形成する。そして、導電箔20の表面および裏面のエッチングを行うことにより、両主面に凸部22を形成する。従って、一回のエッチングにて導電箔20の両主面に凸部22を形成することが出来る。

第7図(C)から第7図(E)を参照して、凸部22を絶縁層17に埋め込むように導電箔20を回路基板16に密着させた後、導電パターン18のパターニングを行う。この方法は、第6図を参照して説明したものを同様であるので、その説明は割愛する。以上が導電パターン18をパターニングする工程に関する説明である。第1から第4の製造方法で形成できた混成集積回路基板は、第8図の如く、所望の箇所に回路素子を配置され、回路素子を導電パターン18が電氣的に接続される。

第8図(A)を参照して、まず、半田や導電ペースト等を介して回路素子14を導電パターン(アイランド)18に固着する。ここで、小さな電流の処理を行う第1の回路素子14Aは、第1の導電パターン18Aに固着される。そして、大きな電流が流れて発熱量が多い第2の回路素子14Bは、第2の導電パターン18Bに固着される。第1の導電パターン18Aは微細なパターンを構成することができるので、LSI素子等の端子数の多い素子を第1の回路素子14Aとして採用することが出来る。第2の導電パターン18Bは、十分に厚く形成されていることから、大電流の処理を行うパワートランジスタ、LSI等を第2の回路素子18Bとして採用することが出来る。ここでは、1つの混成集積回路装置を構成する複数のユニット24が、1枚の回路基板16に形成され、一括してダイボンディングおよびワイヤボンディングを行うことが出来る。

第 8 図 (B) を参照して、金属細線 15 を介して回路素子 14 と導電パターン 18 との電氣的接続を行う。本形態では、第 2 の導電パターン 18 B の厚み部分が絶縁樹脂 17 に埋め込まれることで、第 1 の導電パターン 18 A と第 2 の導電パターン 18 B の上面が同じ高さになっている。従って、第 2 の回路素子 14 B の電氣的接続を行う際に、数十  $\mu\text{m}$  程度の細線を用いることが可能となる。従来では、ヒートシンク等の上部に載置されていたトランジスタは、導電パターン 18 との高低差が大きかった。この高低差は、例えば 2 mm 程度である場合もあった。そのため、ワイヤーが自重でたれてチップやヒートシンクにショートしないように、腰の強い太線が用いられていた。

10 本形態では、ヒートシンクに相当する第 2 の導電パターン 18 B と、第 1 の導電パターン 18 A とは同一面になるため、腰の強い太線を用いる必要がない。ここで、細線とは、一般的にその径が 80  $\mu\text{m}$  程度の金属細線を指す。

上記工程が終了した後に、各ユニット 24 の分離を行う。各ユニットの分離は、プレス機を用いた打ち抜き、ダイシング、折り曲げ等により行うことが出来る。その後、各ユニットの回路基板 16 にリード 11 を固着する。

15

第 9 図を参照して、各回路基板 16 の樹脂封止を行う。ここでは、熱硬化性樹脂を用いたトランスファーモールドにより封止が行われている。即ち、上金型 30 A および下金型 30 B とから成る金型 30 に回路基板 16 を収納した後に、両金型を当接させることでリード 11 を固定する。そして、キャビティ 31 に樹脂を封入することで、樹脂封止の工程が行われる。以上の工程で、第 1 図に示すような混成集積回路装置が製造される。

20

従来の混成集積回路基板では、導電パターンが全て同一膜厚で形成されていたため、大電流を必要とする部分には、幅の広いパターンを形成したり、別途ヒートシンクを採用していた。しかし本願では、厚い第 2 のパターン 18 B と薄い第 1 のパターン 18 A が、同一混成集積回路基板に形成できる。従って、厚い第 2 の導電パターン 18 B により、放熱性および電流容量が確保される。しかも薄い第 1 の導電パターン 18 A を設けることにより、小信

25

号系の部品を実装できる。

例えば A 1 から成る回路基板 1 6 を用いた場合、第 2 の導電パターン 1 8 B に形成される凸部 2 2 を、回路基板 1 6 の表面を被覆する絶縁層 1 7 に埋め込むことにより、放熱性を向上させることができる。これは、第 2 の導電  
5 パターン 1 8 B に固着された回路素子から発生する熱が、絶縁層 1 7 に埋め込まれた凸部 2 2 を介して、基板 1 6 に良好に伝導するからである。絶縁層 1 7 にフィラーが混入されれば、更にその放熱性が向上する。

（ 本発明によれば、1つの回路基板の表面に厚みの異なる導電パターンを形成することが可能となる。従って、電流容量が要求される導電パターンを厚  
10 く形成でき、比較的小さな電流が通過する箇所の導電パターンを薄く形成できる。しかも、微細な導電パターンで配線密度も高くできる。上記のことから、要求される電流容量に応じてパターンルールが異なる導電パターンを1つの回路基板上に形成することが可能となる。

更に、厚く形成される第 2 の導電パターンに、大きな電流が通過する第 2  
15 の回路素子を固着することで、第 2 の回路素子から発生する熱を積極的に外部に放出させることが可能となる。特に第 4 図、第 6 図、第 7 図のように、絶縁層に導電パターン裏面の一部が埋め込まれている導電パターンは、その裏面の凸部が絶縁樹脂でカバーされているため、絶縁層を介した熱伝導が向上する。

## 請 求 の 範 囲

1. 回路基板の表面に形成された導電パターンと、前記導電パターンと電氣的に接続された回路素子とを具備し、

5 前記導電パターンは、第1の導電パターンと、前記第1の導電パターンよりも厚く形成された第2の導電パターンとから成り、

前記第1の導電パターンと前記第2の導電パターンの表面は、実質同一レベルに配置され、前記第2の導電パターンの裏面には、前記第1の導電パターンの裏面よりも厚み方向に突出する凸部が設けられることを特徴とする回路装置。  
10

2. 回路基板の表面に形成された導電パターンと、前記導電パターンと電氣的に接続された回路素子とを具備し、

前記導電パターンは、第1の導電パターンと、前記第1の導電パターンよりも厚く形成された第2の導電パターンとから成り、

15 前記第1の導電パターンと前記第2の導電パターンの裏面は、実質同一レベルに配置され、前記第2の導電パターンの表面には、前記第1の導電パターンの表面よりも厚み方向に突出する凸部が設けられることを特徴とする回路装置。

3. 回路基板の表面に形成された導電パターンと、前記導電パターンと電氣的に接続された回路素子とを具備し、  
20

前記導電パターンは、第1の導電パターンと、前記第1の導電パターンよりも厚く形成された第2の導電パターンとから成り、

前記第2の導電パターンの表面および裏面には、厚み方向に突出する凸部が設けられることを特徴とする回路装置。

25 4. 前記凸部の周囲には、第1の導電パターンと実質同じ膜厚の縁部が形成されることを特徴とする請求の範囲第1項から第3項の何れかに記載の回路装置。

5. 前記縁部の幅を、前記第1の導電パターンの厚みよりも広くすることを特徴とする請求の範囲第4項記載の回路装置。

6. 前記凸部は、前記回路基板の表面に形成された絶縁層に埋め込まれることを特徴とする請求の範囲第1項または第3項記載の回路装置。

5 7. 前記回路基板は、金属基板、セラミック基板、プリント基板またはフレキシブルシートであることを特徴とする請求の範囲第1項または第3項の何れかに記載の回路装置。

8. 前記第1の導電パターンには第1の回路素子が接続され、  
前記第2の導電パターンには、前記第1の回路素子よりも電流容量が大きい第2の回路素子が接続されることを特徴とする請求の範囲第1項または第3項の何れかに記載の回路装置。

10

9. 厚み方向に突出する凸部が表面に設けられた導電箔を用意し、  
回路基板の表面に設けた絶縁層に前記凸部が埋め込まれるように、前記導電箔を前記回路基板に密着させ、

15 前記凸部が設けられていない領域の前記導電箔を部分的に除去することにより、第1の導電パターンと、前記凸部を含み前記第1の導電パターンよりも厚い第2の導電パターンを形成することを特徴とする回路装置の製造方法。

10. 厚み方向に突出する凸部が表面に設けられた導電箔を用意し、  
回路基板の表面に設けた絶縁層に前記導電箔の裏面を密着させ、

20 前記凸部が設けられていない領域の前記導電箔を部分的に除去することにより、第1の導電パターンと、前記凸部を含み前記第1の導電パターンよりも厚い第2の導電パターンを形成することを特徴とする回路装置の製造方法。

11. 厚み方向に突出する凸部が表面および裏面に設けられた導電箔を用意し、

25 回路基板の表面に設けた絶縁層に前記凸部が埋め込まれるように、前記導電箔を前記回路基板に密着させ、

前記凸部が設けられていない領域の前記導電箔を部分的に除去すること

より、第 1 の導電パターンと、前記凸部を含み前記第 1 の導電パターンよりも厚い第 2 の導電パターンを形成することを特徴とする回路装置の製造方法。

12. 前記凸部の側面は曲面であることを特徴とする請求の範囲第 9 項から第 11 項の何れかに記載の回路装置の製造方法。

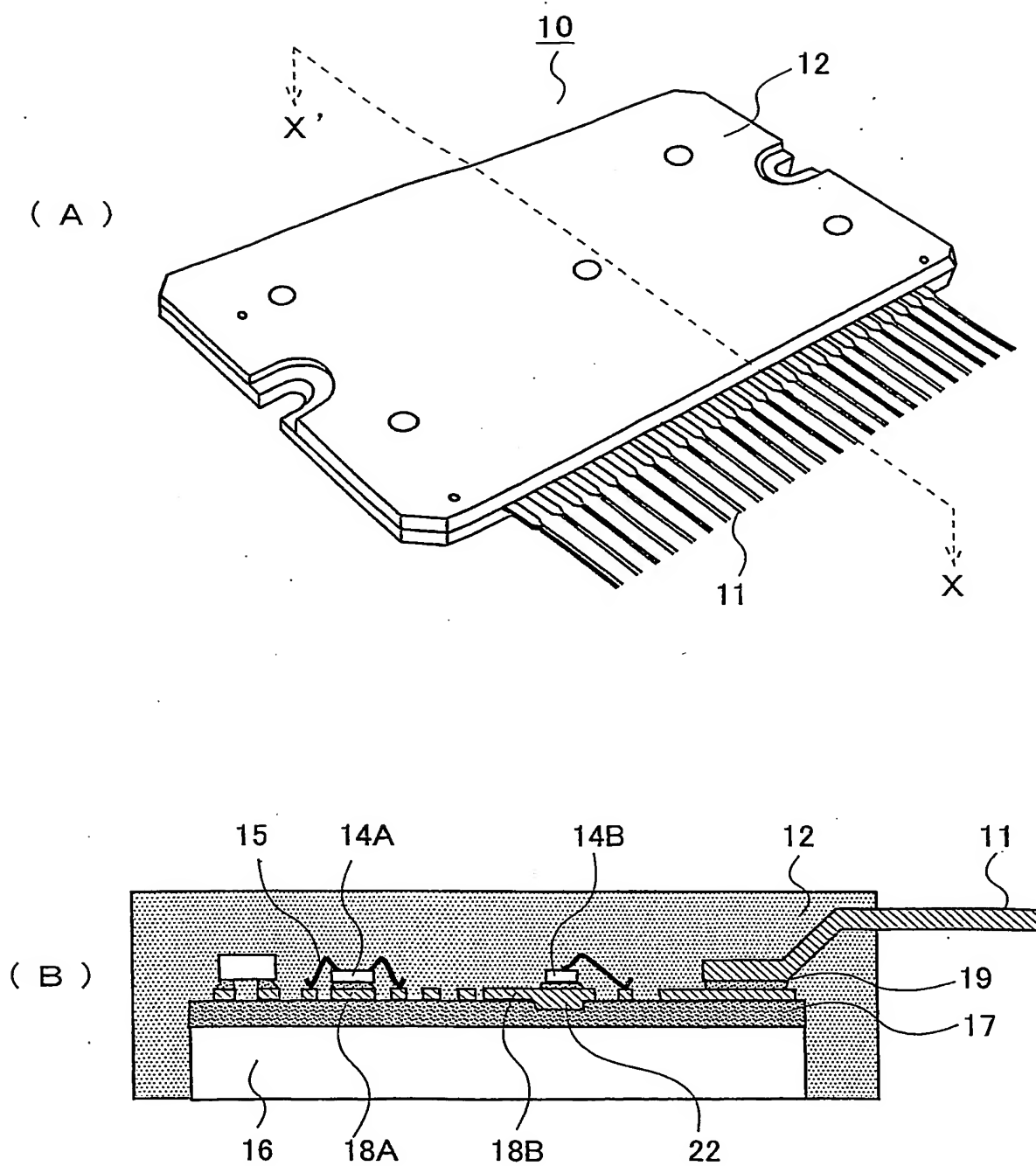
5 13. 前記凸部の周囲に、前記第 1 の導電パターンと同じ厚さの縁部が残存するように、前記導電箔をパターンニングすることを特徴とする請求の範囲第 9 項から第 11 項の何れかに記載の回路装置の製造方法。

14. 前記縁部の幅を、前記第 1 導電パターンの厚さよりも広くすることを特徴とする請求の範囲第 13 項記載の回路装置の製造方法。

10 15. エッチング処理により、前記第 1 の導電パターンおよび前記第 2 の導電パターンを形成することを特徴とする請求の範囲第 9 項から第 11 項の何れかに記載の回路装置の製造方法。

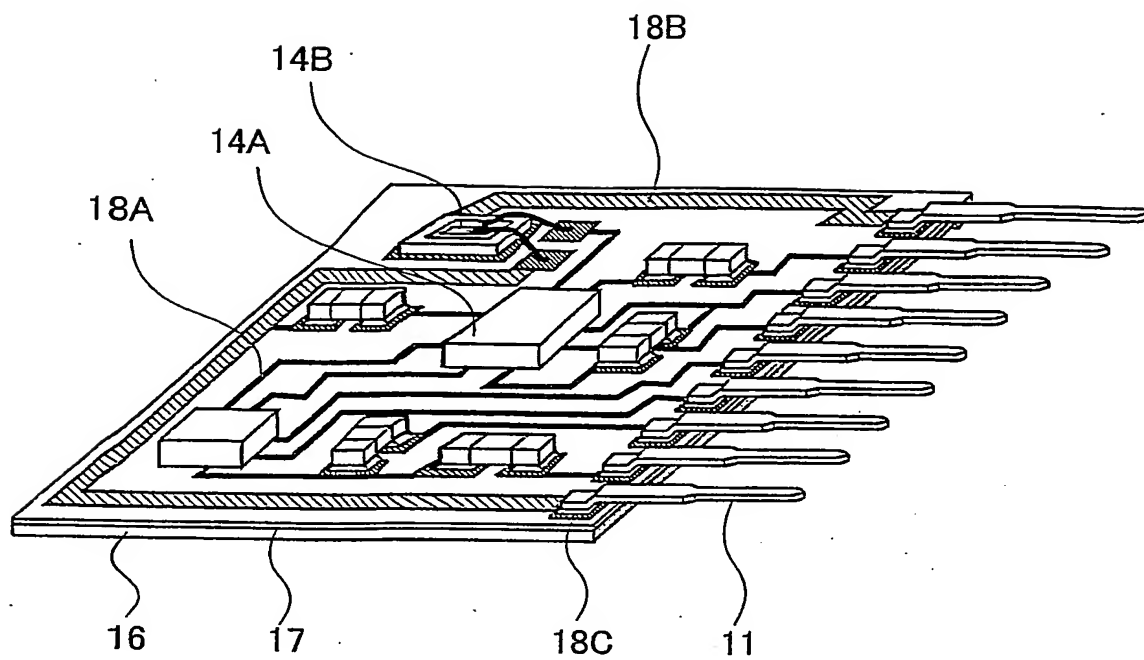
1/11

第 1 図



2/11

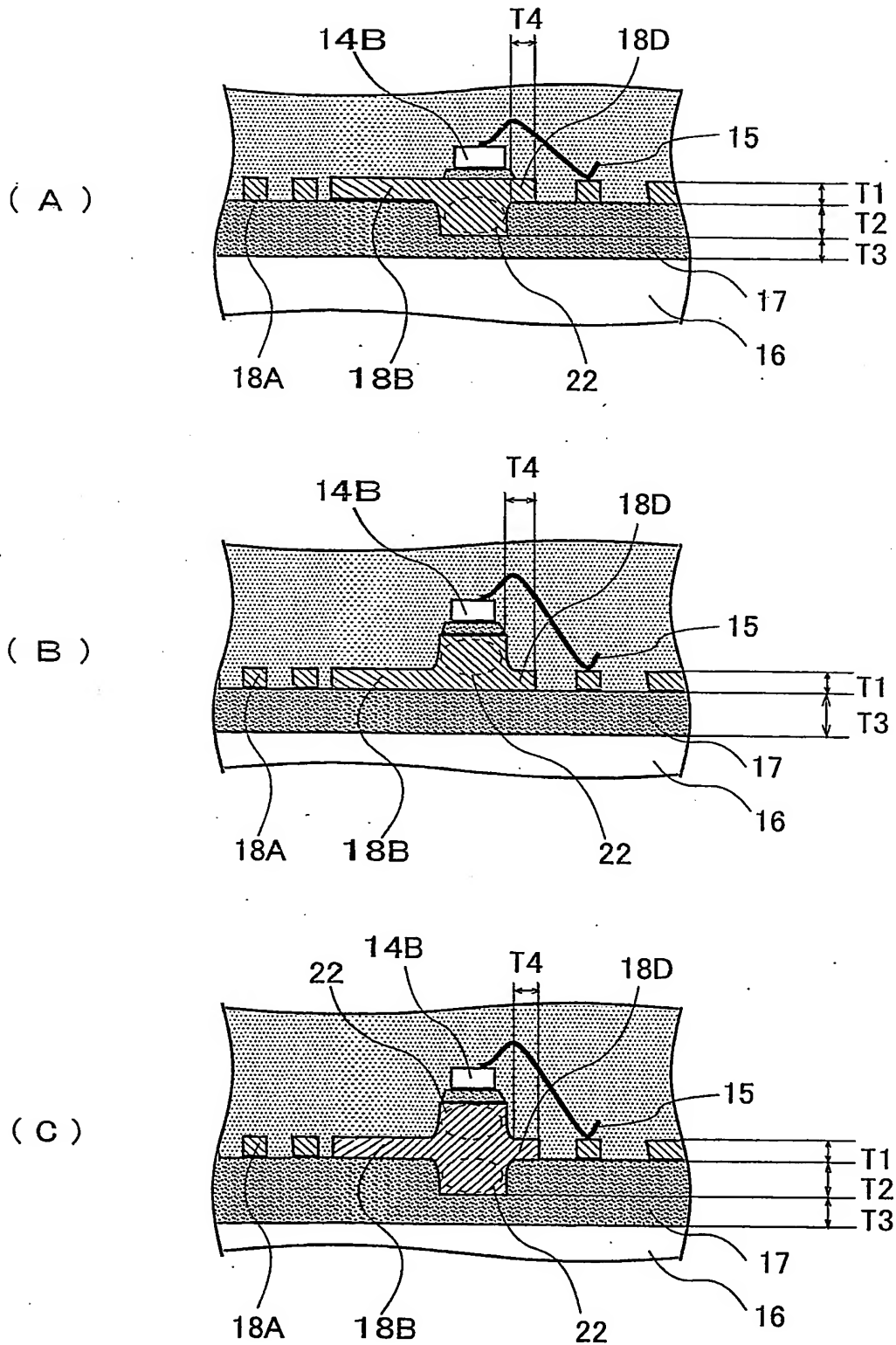
第 2 図





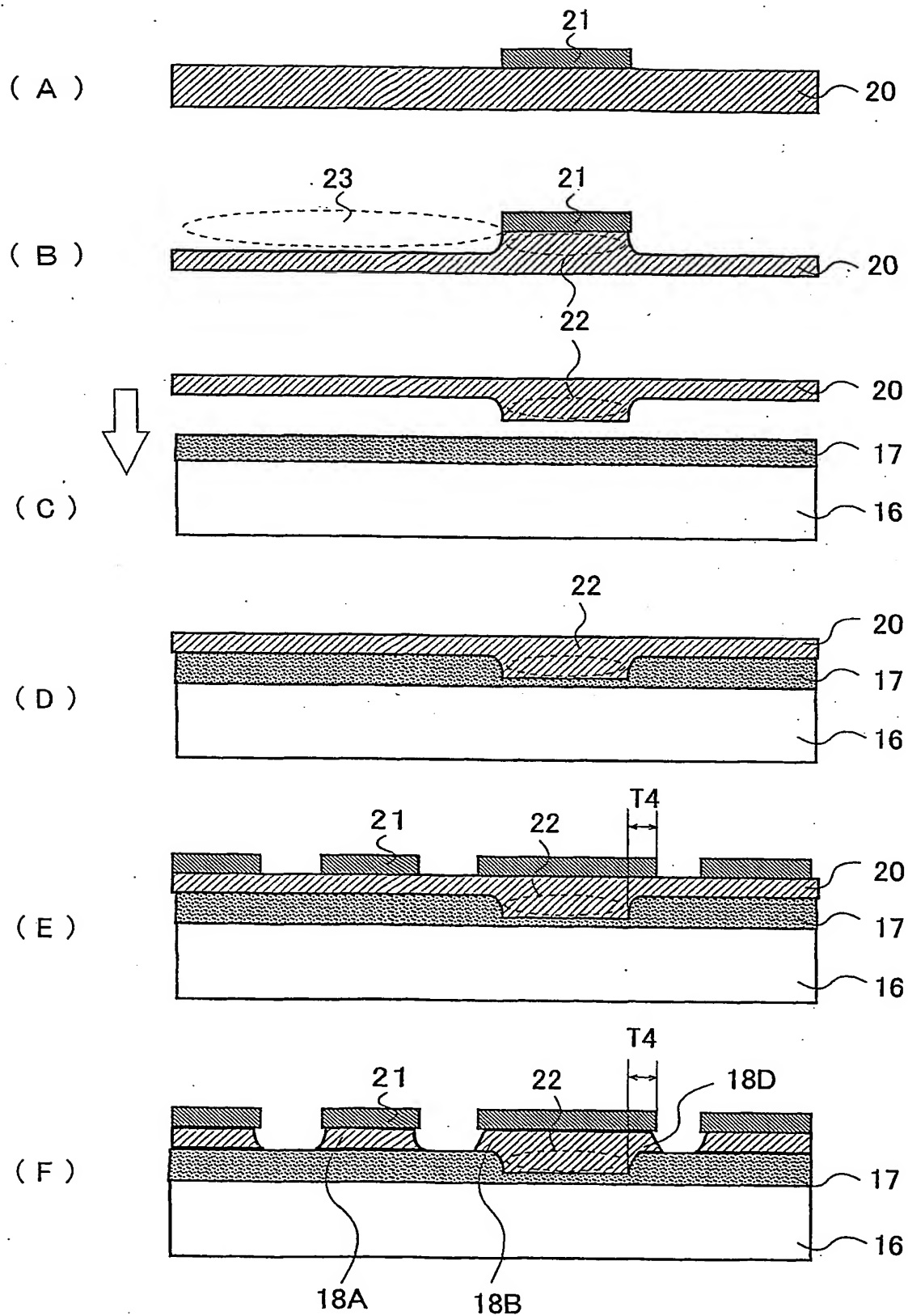
3/11

第 3 図



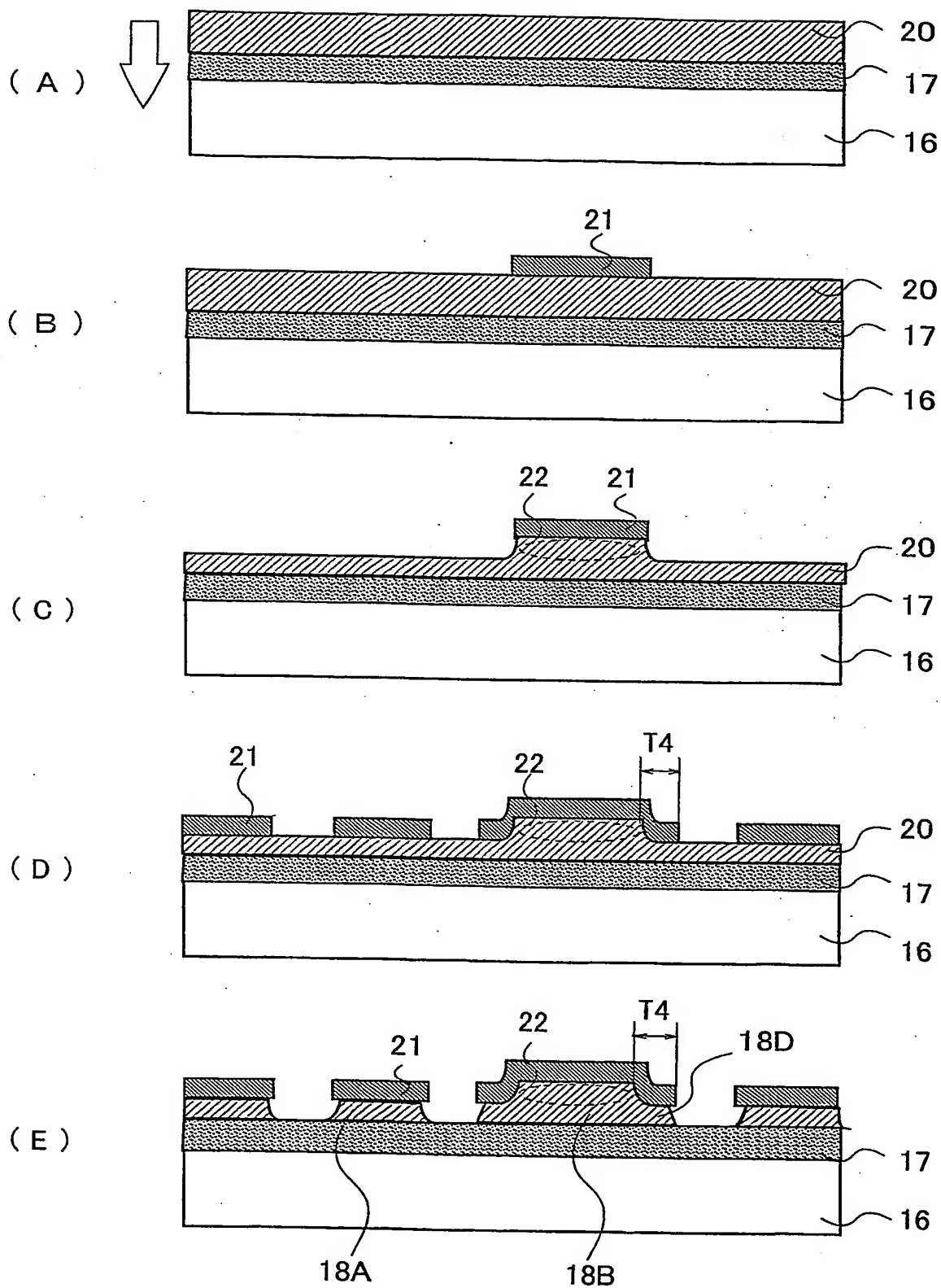
4/11

第 4 図



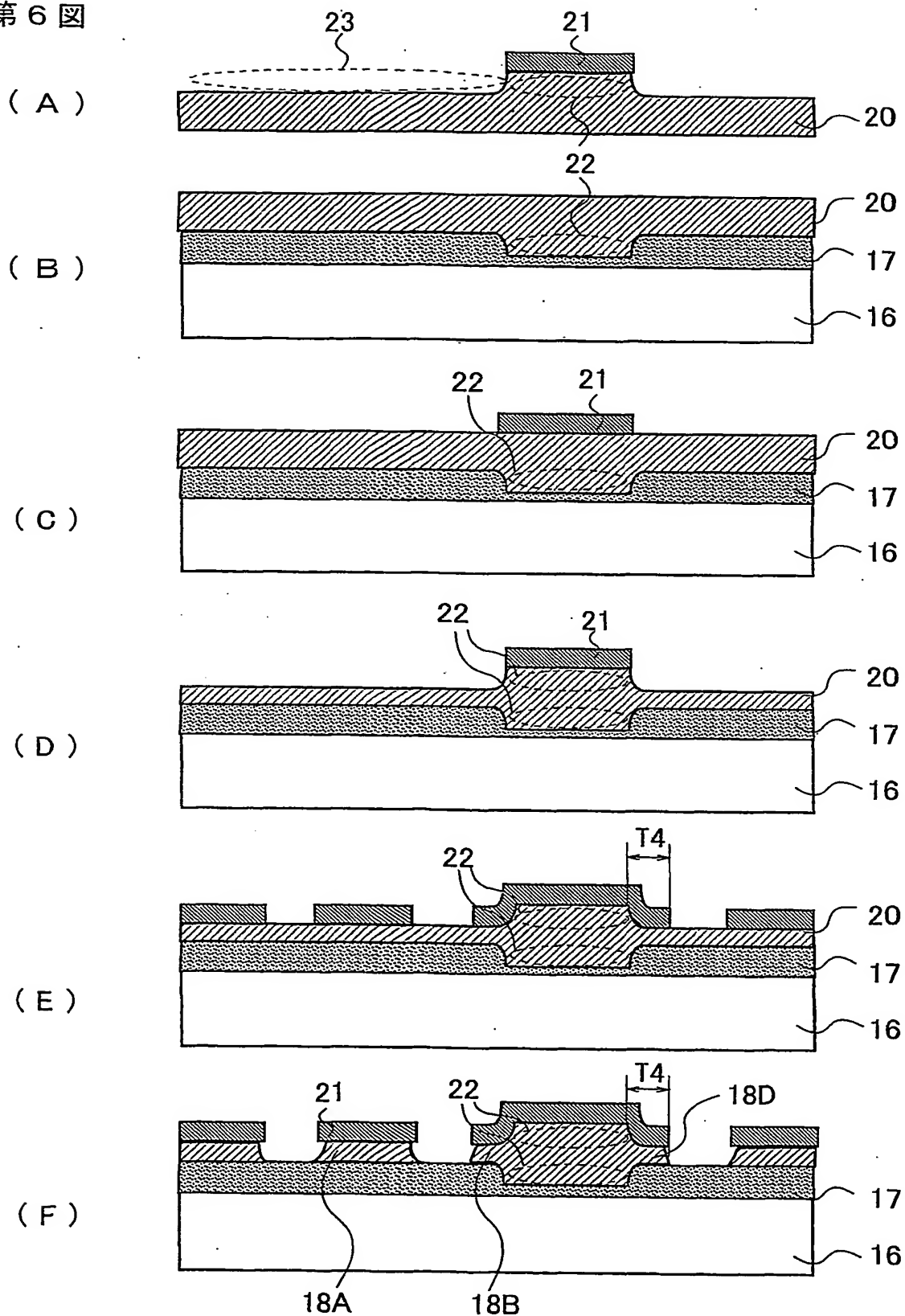
5/11

第 5 図



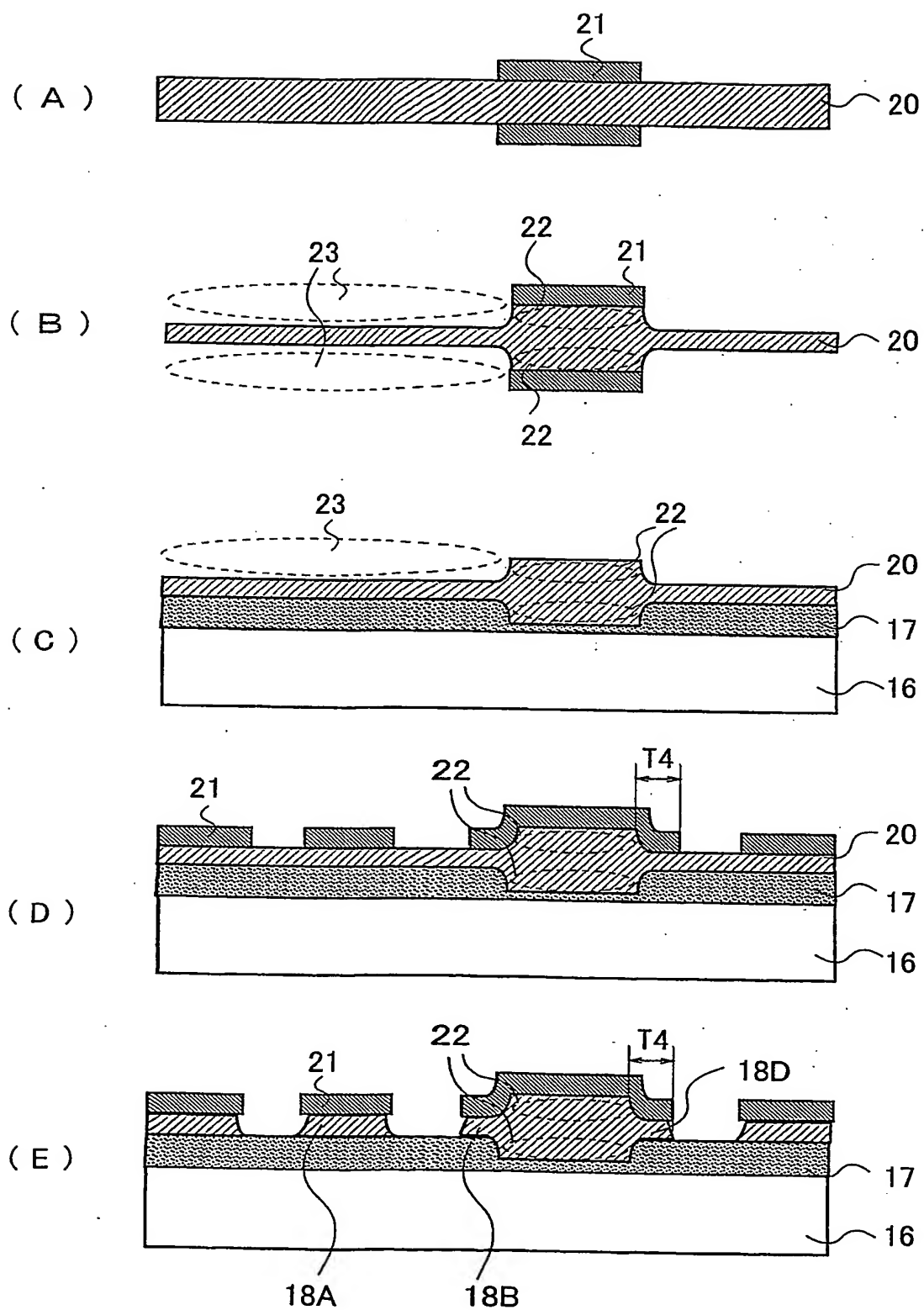
6/11

第 6 図



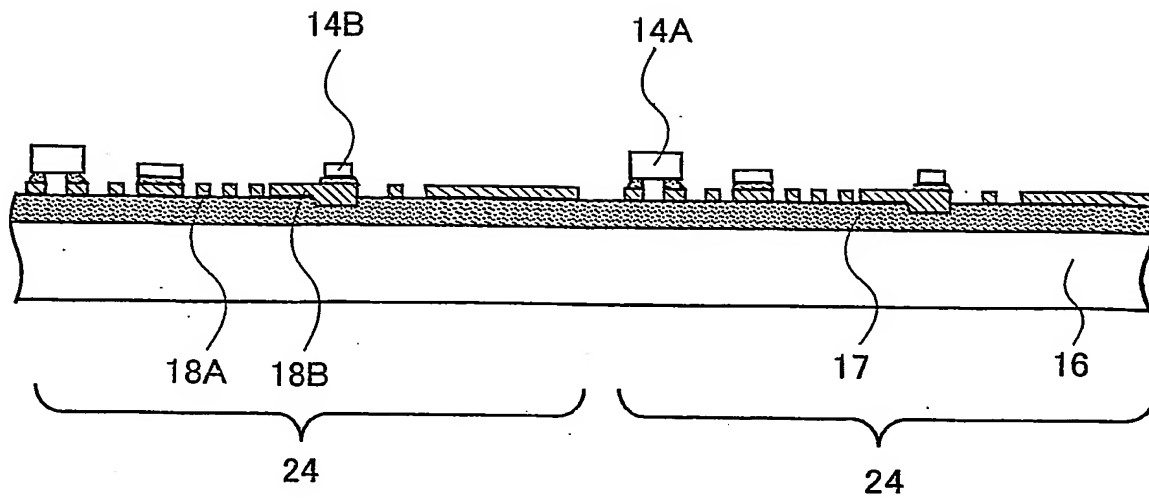
7/11

第 7 図

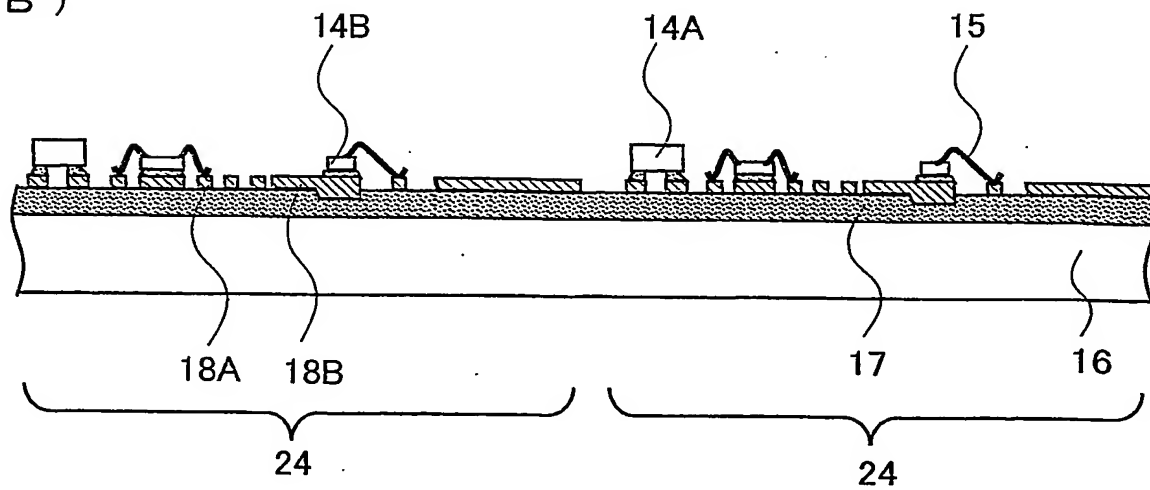


## 第 8 図

( A )

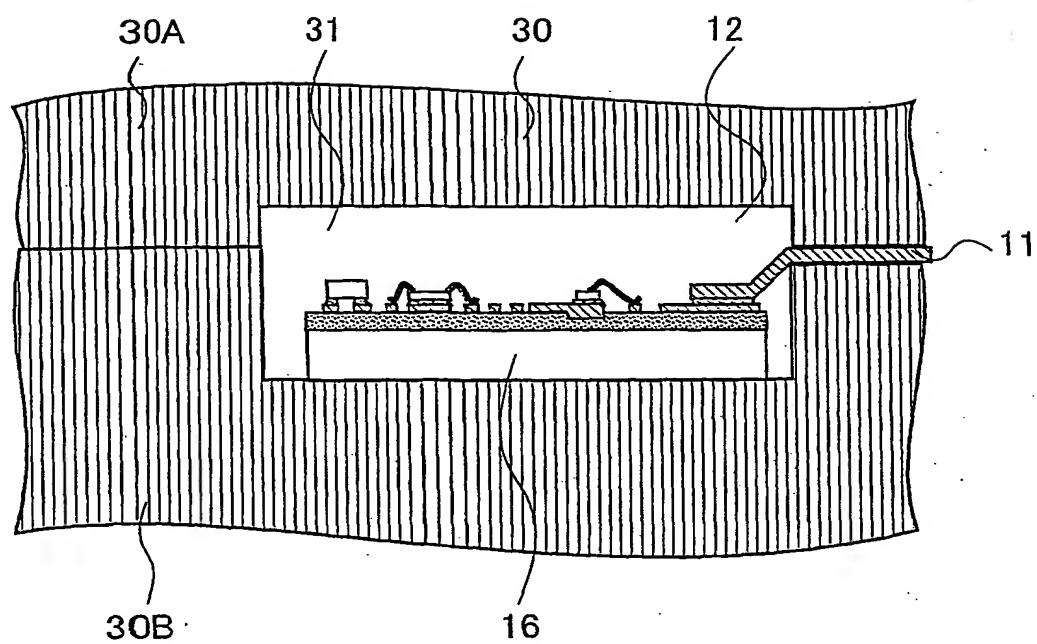


( B )



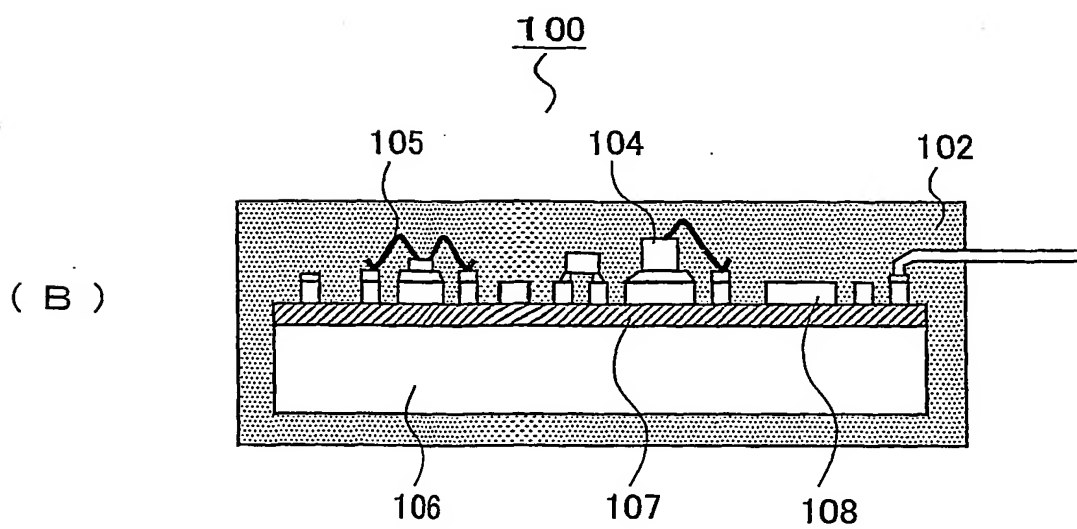
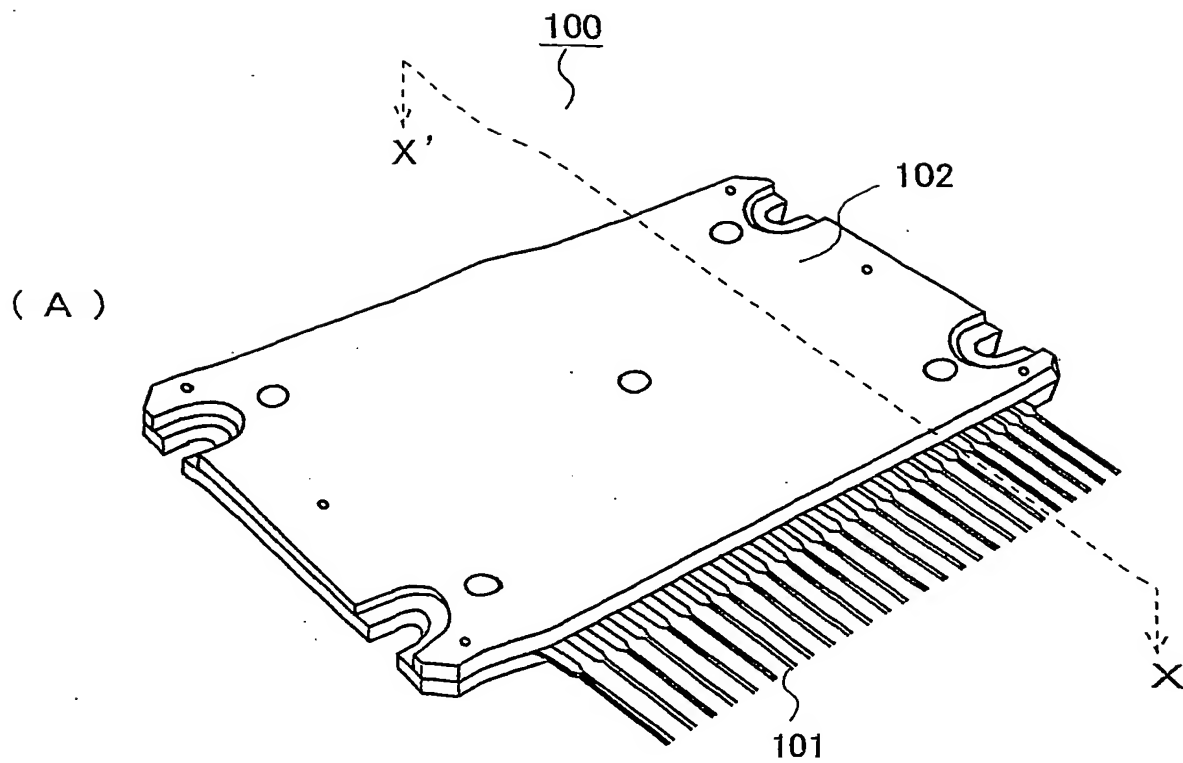
9/11

第 9 图



10/11

## 第 10 図





11/11

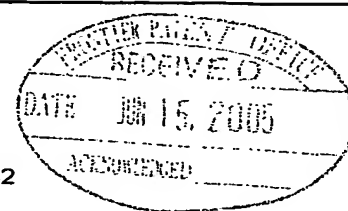
|       |             |       |          |
|-------|-------------|-------|----------|
| 1 0   | 混成集積回路装置    | 2 2   | 凸部       |
| 1 1   | リード         | 2 3   | 窪み部      |
| 1 2   | 封止樹脂        | 2 4   | ユニット     |
| 1 4 A | 第 1 の回路素子   | 3 0 A | 上金型      |
| 1 4 B | 第 2 の回路素子   | 3 0 B | 下金型      |
| 1 5   | 金属細線        | 3 1   | キャビティ    |
| 1 6   | 回路基板        | 1 0 0 | 混成集積回路装置 |
| 1 7   | 絶縁層         | 1 0 1 | リード      |
| 1 8 A | 第 1 の導電パターン | 1 0 2 | 封止樹脂     |
| 1 8 B | 第 2 の導電パターン | 1 0 4 | 回路素子     |
| 1 8 C | パッド         | 1 0 5 | 金属細線     |
| 1 8 D | 縁部          | 1 0 6 | 基板       |
| 1 9   | ロウ材         | 1 0 7 | 絶縁層      |
| 2 0   | 導電箔         | 1 0 8 | 導電パターン   |
| 2 1   | レジスト        |       |          |

From the INTERNATIONAL BUREAU

**PCT**NOTIFICATION CONCERNING  
SUBMISSION OR TRANSMITTAL  
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

OKADA, Kei  
170-1, Hosoya-cho  
Ota-shi, Gunma 373-0842  
JAPON

|   |   |
|---|---|
| Date of mailing (day/month/year)<br>03 June 2005 (03.06.2005) | <b>IMPORTANT NOTIFICATION</b>   |
| Applicant's or agent's file reference<br>F1040900WO00         |   |
| International application No.<br>PCT/JP05/003096              |   |
| International publication date (day/month/year)               |   |
|   | International filing date (day/month/year)<br>18 February 2005 (18.02.2005) |
|   | Priority date (day/month/year)<br>24 February 2004 (24.02.2004)             |
| Applicant<br>SANYO ELECTRIC CO., LTD. et al                   |   |

- By means of this Form, which replaces any previously issued notification concerning submission or transmittal of priority documents, the applicant is hereby notified of the date of receipt by the International Bureau of the priority document(s) relating to all earlier application(s) whose priority is claimed. Unless otherwise indicated by the letters "NR", in the right-hand column or by an asterisk appearing next to a date of receipt, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- (If applicable) The letters "NR" appearing in the right-hand column denote a priority document which, on the date of mailing of this Form, had not yet been received by the International Bureau under Rule 17.1(a) or (b). Where, under Rule 17.1(a), the priority document must be submitted by the applicant to the receiving Office or the International Bureau, but the applicant fails to submit the priority document within the applicable time limit under that Rule, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- (If applicable) An asterisk (\*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b) (the priority document was received after the time limit prescribed in Rule 17.1(a) or the request to prepare and transmit the priority document was not submitted to the receiving Office after the applicable time limit under Rule 17.1(b)). Even though the priority document was not furnished in compliance with Rule 17.1(a) or (b), the International Bureau will nevertheless transmit a copy of the document to the designated Offices, for their consideration. In case such a copy is not accepted by the designated Office as the priority document, Rule 17.1(c) provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

| <u>Priority date</u>          | <u>Priority application No.</u> | <u>Country or regional Office<br/>or PCT receiving Office</u> | <u>Date of receipt<br/>of priority document</u> |
|-------------------------------|---------------------------------|---|---|
| 24 February 2004 (24.02.2004) | 2004-048259                     | JP  | 07 April 2005 (07.04.2005)                      |

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Authorized officer

Abbou Farid

Facsimile No. +41 22 740 14 35

Facsimile No. +41 22 338 70 10

Telephone No. +41 22 338 8169